

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-244237

(43)公開日 平成8年(1994)9月2日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	FI	技術分野
H01L 21/60	301 P	6916-4M		
21/318	B	7352-4M		

審査請求 未請求 請求項の数 2 OL (全 4 頁)

(21)出願番号 特願平5-30530
(22)出願日 平成5年(1993)2月19日

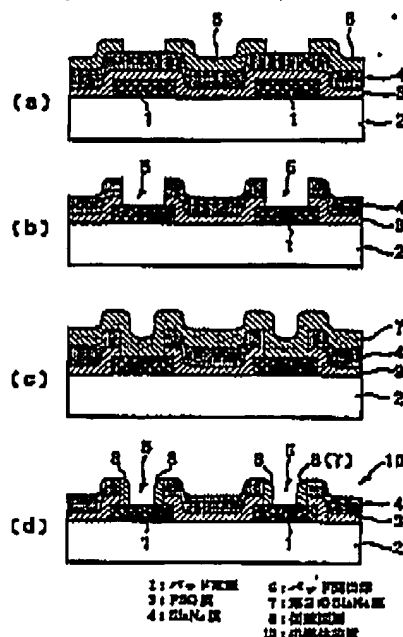
(71)出願人 000005488
富士ゼロックス株式会社
東京都港区赤坂三丁目3番5号
(72)発明者 横山 明弘
神奈川県海老名市本郷2274番地、富士ゼロックス株式会社内
(74)代理人 弁理士 中村 智廣 (外2名)

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【目的】 内壁にパッシベーション膜のPSS膜が露出せずに填充で優れた防湿効果が得られるパッド開口部を有する半導体装置と、その半導体装置を簡易な工程により精度よく製造することができる製造方法を提供する。

【構成】 PSS膜3とSi₃N₄膜4をこの順で積層形成するパッシベーション膜にパッド電極1を露出させるためのパッド開口部5を設ける半導体装置において、そのパッド開口部5の内壁面に、上記Si₃N₄膜4上に積層する第2のSi₃N₄膜7をエッチバックして残存形成される側壁面層8を設けた。また、上記の側壁面層8については、第2のSi₃N₄膜7をパッド開口部5の底部にパッド電極1の表面が露出するまでエッチバックすることにより形成した。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 PGS膜と Si_3N_4 膜をこの順で積層形成するパッシベーション膜にパッド電極を露出させるためのパッド開口部を設ける半導体装置において、そのパッド開口部の内壁面に、上記 Si_3N_4 膜上に積層する第2の Si_3N_4 膜をエッチバックして残存形成される側壁面層を設けたことを特徴とする半導体装置。

【請求項2】 パッド電極を形成した半導体基板にPGS膜と Si_3N_4 膜をこの順で積層してパッシベーション膜を形成した後、エッチング法によりパッド開口部を形成し、次いで、全面に第2の Si_3N_4 膜を積層形成した後、その第2の Si_3N_4 膜をパッド開口部の底部にパッド電極の表面が露出するまでエッチバックし、少なくともパッド開口部の内壁面に第2の Si_3N_4 膜を側壁面層として残存させることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、パッケージのパッド電極との間をボンディングするためのパッド開口部の構造を改良した半導体装置及びその製造方法に関する。

【0002】

【従来の技術】 近年における半導体装置のコスト競争の激化に伴い、例えばパッケージのコスト低減化が図られている。PGS膜単独のパッシベーション膜を形成した半導体装置は、水分を通し易く、耐湿性が悪いためアルミニウム等の配線を腐食させてしまうという欠点があった。そこで現在では、その耐湿性を改善するため、PGS膜上に Si_3N_4 膜を積層させた2層構造のパッシベーション膜を設けた半導体装置へと移行しつつある。このようにパッシベーション膜を2層構造にする理由は、 Si_3N_4 膜は耐湿性に優れているものの自己ストレス（圧縮応力）が強く他の部分（例えばMOSトランジスタ）に悪影響を与えるため、単体では使用することができないためであり、そのため、そのストレスを和らげるクッション層の働きをする層としてPGS膜を Si_3N_4 膜の下に設けた層構成を採用しているのである。ところが、このPGS膜と Si_3N_4 膜の2層からなるパッシベーション膜の半導体においては、そのパッシベーション膜に、パッケージのパッド電極との間をボンディングするためのパッド開口部（穴）を設けた際、そのパッド開口部の内壁にPGS膜が露出するため、ここより水分が侵入し、やがて導線等が腐食されてしまうという問題があった。

【0003】 かかる問題点を解消するため、本出願人は、内壁にPGS膜が露出しないパッド開口部を有する半導体装置を提案した（実開平4-36230号）。すなわち、この半導体装置は、図2に示すようにパッド電極aを形成した半導体装置基板bにPGS膜cを形成した後、エッチングのためのレジスト膜を設けてからPGS

S膜cをエッチングして径がAのパターン孔を開けることによりパッド電極aの上面を露出させ、次いで、その全面に Si_3N_4 膜dを形成した後、レジストeを塗布してから露光、現像して径Aより小さい径Bのパターン穴fを開け、最後にRIE法（リアクティブ・イオン・エッチング）によりエッチングしてパッド開口部gを開けることにより、内壁が Si_3N_4 膜dにより覆われたパッド開口部gを形成するものである（図3）。また、この半導体装置は、図3に示すようにパッド電極aを形成した半導体装置基板bにPGS膜cを形成した後、RIE法によりPGS膜cをパッド電極aの表面が露出するまでエッチバックしてパッド電極a上面のPGS膜cを除去し、次いで、その全面に Si_3N_4 膜dを形成した後、レジストeを塗布してから露光、現像してパターン穴fを開け、最後にRIE法によりエッチングしてパッド開口部gを開けることにより、内壁が Si_3N_4 膜dにより覆われたパッド開口部gを形成するものである（図4）。

【0004】

【発明が解決しようとする課題】 しかしながら、上記の半導体装置は次のような問題点を有している。まず、この半導体装置は、そのパッド開口部を開けるに当たってパターンレジストを設けたエッチング工程が必要になるため製造工程が煩雑である。また、そのレジスト形成などにおける位置合わせ精度が低くても狂うと、図4

(a)に示すようにパッド開口部gの内壁面を構成する Si_3N_4 膜dの膜厚 d_1 、

d_2 が不均一となってしまう。

これにより、例えば膜厚 d_2 のように薄くなった部分においては十分な防湿効果が得られなくなる。更に、上記従来の製造方法により得られる半導体においては、図4

(b)に示すようにパッド開口部gの内壁を形成する Si_3N_4 膜dの端部pがパッド電極aの表面に積層状態で密着した構造になるため、前記した Si_3N_4 膜特有の自己ストレスによりパッド電極aから剥離して図中のq部のようになり、その層間剥離した箇所では十分な防湿効果が得られなくなる。

【0005】 本発明は、上述したような問題点を解決するためになされたもので、その目的は、内壁にパッシベーション膜のPGS膜が露出せずに確実に優れた防湿効果が得られるパッド開口部を有する半導体装置を提供することと、その半導体装置を簡易な工程により精度よく製造することができる製造方法を提供することにある。

【0006】

【課題を解決するための手段】 すなわち、本発明の半導体装置は、PGS膜と Si_3N_4 膜をこの順で積層形成するパッシベーション膜にパッド電極を露出させるためのパッド開口部を設ける半導体装置において、そのパッド開口部の内壁面に、上記 Si_3N_4 膜上に積層する第2の Si_3N_4 膜をエッチバックして残存形成される側壁面層を設けたことを特徴とするものである。

【0007】また、本発明の半導体装置の製造方法は、パッド電極を形成した半導体基板にPGS膜と Si_3N_4 膜をこの順で積層してパッシベーション膜を形成した後、エッチング法によりパッド開口部を形成し、次いで、全面に第2の Si_3N_4 膜を積層形成した後、その第2の Si_3N_4 膜をパッド開口部の底部にパッド電極の表面が露出するまでエッチバックし、少なくともパッド開口部の内壁面に第2の Si_3N_4 膜を側壁面層として残存させることを特徴とするものである。

【0008】上記の技術的手段において、第2の Si_3N_4 膜をエッチバックする手段としてはRIE法が好適であるが、必ずしもこれに限定されない。また、このエッチバックにおける条件は、パッド開口部の底部にパッド電極表面が露出するようなエッチングがなされるように適宜設定される。

【0009】

【作用】このような技術的手段によれば、エッチバックという簡易な手段により、パッド開口部の内壁面に Si_3N_4 膜からなる側壁面層を精度よく形成することができ、また、この側壁面層によってパッド開口部についてPSG膜が一切露出しない内蔵構造とすることができる。しかも、上記側壁面層は、パッド電極との層間剥離が発生しにくく且つ膜厚が均一な状態で形成されるため、より確実かつ優れた防湿効果が得られる。

【0010】

【実施例】以下、実施例を挙げて本発明について詳細に説明する。図1は、本発明の一実施例に係る半導体装置とその製造方法を説明するための図である。まず、図1(a)、(b)に示すようにアルミニウム等からなるパッド電極1を形成した半導体装置基板2上に、従来法に準じてPGS膜3及び Si_3N_4 膜4の2層構造からなるパッシベーション膜とパッド開口部5とを形成する。すなわち、上記半導体装置基板2上に気相成長法によりPGS膜3を約3000オングストローム厚で形成した後、同じく気相成長法により Si_3N_4 膜4を約5000オングストローム厚で形成する(図1a)。次に、このPGS膜3及び Si_3N_4 膜4からなるパッシベーション膜をエッチングしてパッド開口部5を形成するためにレジスト6を塗布した後、エッチングしてその底部にパッド電極1が露出したパッド開口部5を形成する(図1b)。

【0011】次いで、図1(c)に示すように、その表面全体に気相成長法により第2の Si_3N_4 膜7を約5000オングストローム厚で形成する。

【0012】そして、この第2の Si_3N_4 膜7を、RIE法によりパッド開口部5の底部にパッド電極1の表面が露出するまでエッチバックすることにより、図1(d)に示すように、少なくともパッド開口部5の内壁

面に残存する第2の Si_3N_4 膜からなる側壁面層8が形成される。このエッチバックする際の条件は、例えば、下記のようなものである。

CF₄ガス：20sccm、H₂ガス：12sccm、RF出力：350W、圧力：1.3パスカル。

【0013】以上のようにして得られた半導体装置10は、そのパッド開口部5の内壁面に Si_3N_4 膜からなる側壁面層8が形成され、その内壁にはPSG膜3が露出していないため、その内壁からの水分の侵入が防止され、導線等が腐食してしまうという虞れがない。

【0014】また特に、側壁面層8は、図1(d)に示すようにパッド電極1表面から上方に切り立った状態で、しかもその上部において肉質材料である Si_3N_4 膜4に連続された状態で形成されたものであるため、例えば、従来品のように側壁面層8(Si_3N_4 膜)の自己ストレスによりパッド電極1表面から剥れるようにして制がれるという心配が全くない。その上、この側壁面層8は第2の Si_3N_4 膜をエッチバックして形成されるものであるため、その膜厚が全体にわたって均一である。

【0015】なお、第2の Si_3N_4 膜7を形成する際、パッド電極1の表面には、ボンディング不良の原因となる、 Si_3N_4 と反応したダメージ層が形成されるため、例えば実開平4-36230号に記載のごときライトエッチを施して除去する必要がある。

【0016】

【発明の効果】以上説明したように、本発明によれば、パッド開口部の内壁面に Si_3N_4 膜からなる側壁面層が形成されて内装PSG膜が露出しない構造となるため、その内壁周辺からの水分の侵入を防止することができる。また、側壁面層が層間剥離のない膜厚均一な状態で形成されるものであるため、その側壁面層による防湿効果はより確実で優れたものとなる。そして、このような防湿効果に優れたパッド開口部を有する半導体装置を、煩雑な工程を経ることなく、簡便にかつ精度よく製造することができる。

【図面の簡単な説明】

【図1】 本発明の一実施例に係る半導体装置とその製造方法を説明するための断面工程図である。

【図2】 従来の半導体装置製造方法の一例を示す断面工程図である。

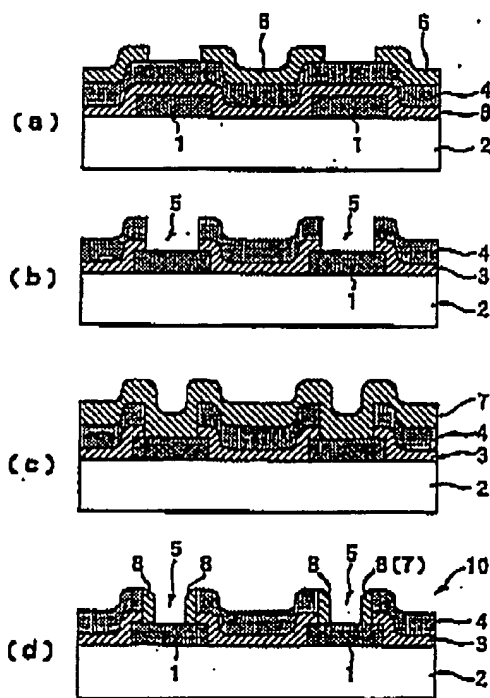
【図3】 従来の半導体装置製造方法の他例を示す断面工程図である。

【図4】 従来の半導体装置における問題点を説明するための断面図である。

【符号の説明】

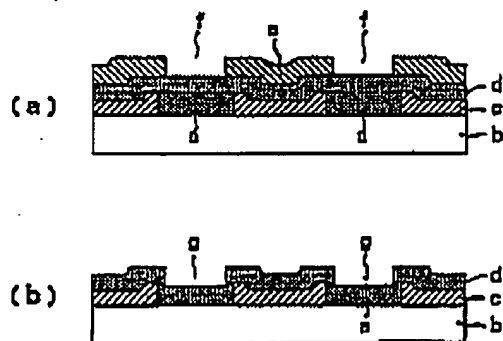
1…パッド電極、3…PSG膜、4… Si_3N_4 膜、5…パッド開口部、7…第2の Si_3N_4 膜、8…側壁面層、10…半導体装置。

【図1】

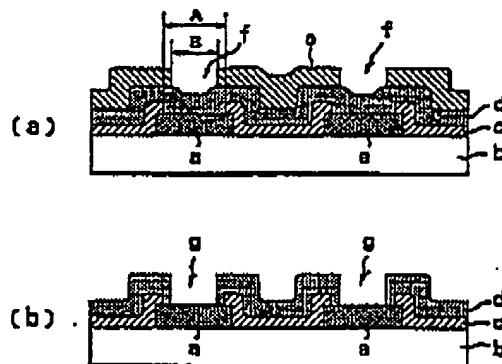


1: 基板
2: 下層膜
3: 第2のSiN4膜
4: SiN4膜
5: PSG層
6: 溝
7: 溝
8: 溝
9: 溝
10: 半導体領域

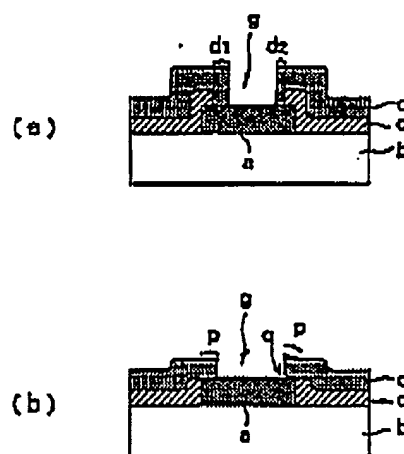
【図3】



【図2】



【図4】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-244237

(43)Date of publication of application : 02.09.1994

(51)Int.Cl.

H01L 21/60
H01L 21/318

(21)Application number : 05-030530

(71)Applicant : FUJI XEROX CO LTD

(22)Date of filing : 19.02.1993

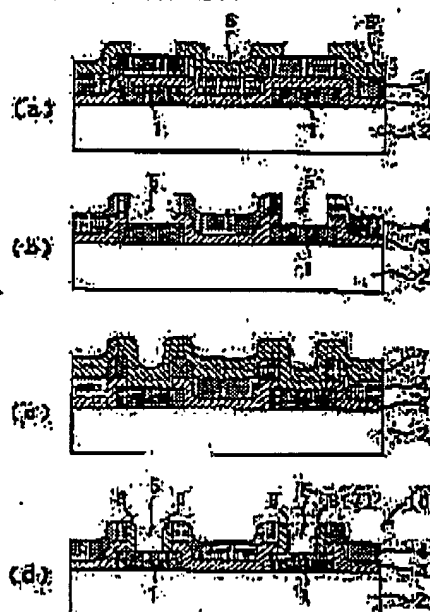
(72)Inventor : YOKOYAMA AKIHIRO

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)Abstract

PURPOSE: To manufacture the semiconductor device having pad aperture parts capable of providing reliable and excellent moisture proofing effect without exposing a passivation PSG film in an inner wall with high precision in simple steps.

CONSTITUTION: Within the semiconductor device provided with pad aperture parts 5 for exposing pad electrodes 1 in a passivation film to laminatedly form a PSG film 3 and an Si₃N₄ film 4 in this order, sidewall surface layers 8 to be residually formed by etching back the second Si₃N₄ film 7 laminated on the Si₃N₄ film 4 are provided. Furthermore, the sidewall surface layers 8 are to be formed by etching back the second Si₃N₄ film 7 until the surfaces of the pad electrodes 1 are exposed in the bottom parts of the pad aperture parts 5.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.